

REC'D 23 DEC 2003

WIPO

PCT

PCT/KR 03 / 0 2 6 6 2

RO/KR 11.12.2003



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0078017
Application Number

출원 년 월 일 : 2002년 12월 09일
Date of Application DEC 09, 2002

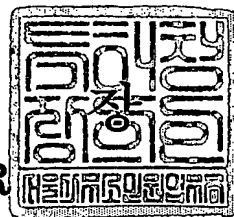
출원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 25 일

특 허 청

COMMISSIONER



**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

BEST AVAILABLE COPY

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002. 12. 09
【발명의 명칭】	박막 트랜지스터 기판, 이의 제조방법, 이를 갖는 액정표시장치 및 이의 제조방법
【발명의 영문명칭】	THIN FILM TRANSISTOR SUBSTRATE, METHOD OF MANUFACTURING THE SAME, LIQUID CRYSTAL DISPLAY DEVICE HAVING THE SAME AND METHOD OF MANUFACTURING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	황성용
【성명의 영문표기】	HWANG, Seong Yong
【주민등록번호】	750301-1817411
【우편번호】	449-901
【주소】	경기도 용인시 기흥읍 농서리 7-1 남자기숙사 월계수동 334호
【국적】	KR
【발명자】	
【성명의 국문표기】	강성철
【성명의 영문표기】	KANG, Sung Chul
【주민등록번호】	590327-1120410
【우편번호】	449-843
【주소】	경기도 용인시 수지읍 상현리 현대성우 2차아파트 164동 1001호
【국적】	KR
【발명자】	
【성명의 국문표기】	오원식
【성명의 영문표기】	OH, Weon Sik

【주민등록번호】 620723-1233122
【우편번호】 447-010
【주소】 경기도 오산시 오산동 920-2 운암주공아파트 204동 802호
【국적】 KR
【발명자】
【성명의 국문표기】 윤주영
【성명의 영문표기】 Y00N, Ju Young
【주민등록번호】 731015-1268510
【우편번호】 449-901
【주소】 경기도 용인시 기흥읍 농서리 성현관 월계수 402호
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 박영우 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 29 면 29,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 58,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

구동 집적회로와 전극패드와의 전기적 접촉성을 향상시킬 수 있는 박막 트랜지스터 기판, 이의 제조방법, 이를 갖는 액정표시장치 및 이의 제조방법을 개시한다. 패드영역에 구비된 전극패드 상에 탄력성을 갖는 돌출부재 및 돌출부재 상에 구비되고 전극패드와 전기적으로 연결되는 도전성 피복층으로 이루어지는 도전성 범프를 형성한다. 도전성 범프 상에 비전도성 수지를 구비하고, 구동 집적회로를 도전성 범프에 열압착시킨다. 이로써, 구동 집적회로와 도전성 범프와의 전기적 접촉성을 향상시킬 수 있다.

【대표도】

도 3

【명세서】

【발명의 명칭】

박막 트랜지스터 기판, 이의 제조방법, 이를 갖는 액정표시장치 및 이의 제조방법{THIN FILM TRANSISTOR SUBSTRATE, METHOD OF MANUFACTURING THE SAME, LIQUID CRYSTAL DISPLAY DEVICE HAVING THE SAME AND METHOD OF MANUFACTURING THE SAME}

【도면의 간단한 설명】

도 1은 일반적인 칩 온 글라스 방식에 의한 액정표시패널과 구동 집적회로와의 본딩을 설명하기 위한 단면도이다.

도 2는 본 발명의 제1 실시예에 따른 액정표시장치의 평면도이다.

도 3은 도 2에 도시된 절단선 I-I에 따른 액정표시장치의 단면도이다.

도 4는 도 2에 도시된 박막 트랜지스터 기판의 평면도이다.

도 5는 도 4에 도시된 절단선 II-II에 따른 박막 트랜지스터 기판의 단면도이다.

도 6은 도 5에 도시된 도전성 범프를 설명하기 위한 부분 확대도이다.

도 7은 본 발명의 제1 실시예에 따른 도전성 범프와 구동 집적회로와의 본딩을 설명하기 위한 단면도이다.

도 8a와 도 8b는 본 발명의 제2 실시예에 따른 게이트 패드영역 및 데이터 패드영역을 설명하기 위한 단면도이다.

도 9a와 도 9b는 본 발명의 제3 실시예에 따른 게이트 패드영역 및 데이터 패드영역을 설명하기 위한 단면도이다.

도 10a 내지 도 10d는 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 제조방법을 설명하기 위한 공정도이다.

도 11a와 도 11b는 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판의 제조방법을 설명하기 위한 공정도이다.

도 12a와 도 12b는 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판의 제조방법을 설명하기 위한 공정도이다.

<도면의 주요부분에 대한 부호의 설명>

100 : 액정표시장치 200 : 박막 트랜지스터 기판

220 : 박막 트랜지스터 230 : 유기 절연막

240 : 화소 전극 250 : 도전성 범프

270a : 게이트 전극패드 280a : 데이터 전극패드

291 : 화소영역 292 : 게이트 패드영역

293 : 데이터 패드영역 300 : 컬러 필터 기판

400 : 액정층 500 : 구동 집적회로

510 : 전극 600 : 비전도성 수지

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

22> 본 발명은 박막 트랜지스터 기판, 이의 제조방법, 이를 갖는 액정표시장치

및 이의 제조방법에 관한 것으로, 보다 상세하게는 구동 집적회로와 전극패드와의 전기적 접촉성을 향상시킬 수 있는 박막 트랜지스터 기판, 이의 제조방법, 이를 갖는 액정표시장치 및 이의 제조방법에 관한 것이다.

- <23> 도 1은 일반적인 칩 온 글라스 방식에 의한 구동 집적회로와 액정표시패널과의 본딩을 설명하기 위한 단면도이다.
- <24> 도 1을 참조하면, 액정표시패널(10)의 패드영역에 구비된 전극패드(12)와 구동 집적회로(20)의 전극(21)이 이방성 도전필름(Anisotropic Conductive Film)(30)에 의하여 전기적으로 연결되어 있다.
- <25> 절연 기판(11)의 패드영역에는 전극패드(12)가 서로 소정 간격을 가지고 배열되어 있으며, 전극패드(12)는 구동 집적회로(20)와 전기적으로 연결되어 상기 액정표시패널(10)을 구동하기 위한 소정의 신호를 제공받는다.
- <26> 이방성 도전필름(30)은 도전볼(31)이 포함된 열경화성 수지로서, 도전볼(31)은 전극패드(12)와 구동 집적회로(20)의 전극(21) 사이에 구비되어, 전극패드(12)와 구동 집적회로(20)의 전극(21)을 서로 전기적으로 연결시킨다. 또한, 이방성 도전필름(30)은 전극패드(12)와 구동 집적회로(20)를 고정시켜 도전볼(31)에 의한 전기적 연결 상태를 유지시키기는 역할을 한다.
- <27> 이하에서 전극패드(12)와 구동 집적회로(20)의 전극(21)을 이방성 도전필름(30)을 이용하여 전기적으로 연결시키는 칩 온 글라스(Chip On Glass ; COG) 본딩 과정을 간략하게 살펴본다.

<28> 먼저 전극패드(12) 상에 이방성 도전필름(30)을 위치시킨 후, 구동 집적회로(20)의 전극(21)을 전극패드(12)와 일대일 대응하도록 정렬한다. 이후, 구동 집적회로(20)를 전극패드(12) 상에 열압착한다. 이때, 도전볼(31)은 전극패드(12)와 구동 집적회로(20)의 전극(21)에 의해 눌러져 전극패드(12)와 구동 집적회로(20)는 전기적으로 연결된다. 또한, 상기 열압착 공정시 연질화된 이방성 도전필름(30)은 경화되어 전극패드(12)와 구동 집적회로(20)를 고정시켜 전기적 연결 상태를 유지시킨다.

<29> 그러나, 상술한 칩 온 글라스(COG) 본딩에 있어서, 전극패드(12)와 구동 집적회로(20)를 전기적으로 연결시키는 이방성 도전필름(30)은 일반적으로 그 가격이 비싸므로, 제품의 제조 원가를 상승시키게 된다.

<30> 또한, 전극패드(12)와 구동 집적회로(20)의 전극(21)과의 간격이 모두 균일한 것은 아니므로, 구동 집적회로(20)가 전극패드(12) 상에 구비된 이방성 도전필름(30)의 도전볼(31)을 압착할 때 구동 집적회로(20)의 전극(21)이 도전볼(31)을 압착하지 못하고 전극패드(12)와 구동 집적회로(20)간에 단선이 발생할 수 있는 문제점이 있다.

<31> 아울러, 이방성 도전필름(30)은 내부에 구비된 도전볼(31) 구동 집적회로(20)의 전극(21)들 사이에 밀집되어 전극(21)간에 단락(short)이 발생하는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<32> 이에, 본 발명은 이러한 문제점을 해결하기 위한 것으로, 본 발명의 제1 목적은 구동 집적회로와 전극패드와의 전기적 접촉성을 향상시킬 수 있는 박막 트랜지스터 기판을 제공하는 것이다.

<33> 또한, 본 발명의 제2 목적은 상기한 박막 트랜지스터 기판의 제조방법을 제공하는 것이다.

<34> 또한, 본 발명의 제3 목적은 상기한 박막 트랜지스터 기판을 갖는 액정표시장치를 제공하는 것이다.

<35> 또한, 본 발명의 제4 목적은 상기한 액정표시장치의 제조방법을 제공하는 것이다.

【발명의 구성 및 작용】

<36> 이와 같은 본 발명의 제1 목적을 수행하기 위한 하나의 특징에 따른 박막 트랜지스터 기판은, 기판 상에 구비된 게이트 라인과 데이터 라인의 일단에 형성된 전극패드; 및 상기 전극패드 상에 일정 두께를 갖는 돌출부재와 상기 돌출부재 상에 구비되어 상기 전극패드와 전기적으로 연결된 도전성 피복층으로 이루어지고, 비전도성 수지에 의하여 상기 전극패드에 소정의 신호를 인가하는 구동 집적회로와 전기적으로 연결되는 도전성 범프를 포함하여 이루어진다.

<37> 상기 돌출부재는 탄력성을 갖는 유기물로 이루어진다. 상기 돌출부재는 상기 전극패드 상에 서로 이격된 복수개의 돌기로 이루어져 상기 돌기들의 틈 사이로 상기 전극패드의 일부 영역을 노출시키거나, 상기 전극패드의 가장자리를 노출시키도록 상기 전극패드 상에 구비될 수 있다. 또한, 상기 돌출부재는 상면에 엠보싱 패턴이 형성될 수 있다.

<38> 본 발명의 제2 목적을 수행하기 위한 하나의 특징에 따른 박막 트랜지스터 기판의 제조 방법은, 기판 상에 게이트 라인과, 데이터 라인 및 상기 게이트 라인과 상기 데이터 라인의 일단에 구비되는 전극패드를 형성하는 단계; 및 상기 전극패드 상에 일정한 두께를 갖는 돌출부재와 상기 돌출부재 상에 구비되어 상기 전극패드와 전기적으로 연결된 도전성 피복층으로 이

루어지고, 비전도성 수지에 의하여 상기 전극패드에 소정의 신호를 인가하는 구동 집적회로와 전기적으로 연결되는 도전성 범프를 형성하는 단계를 포함하여 이루어진다.

<39> 본 발명의 제3 목적을 수행하기 위한 하나의 특징에 따른 액정표시장치는, 박막 트랜지스터 및 복수의 라인이 형성된 화소영역과 전극패드가 형성된 패드영역으로 이루어지는 액정표시장치에 있어서, 상기 전극패드 상에 구비된 돌출부재 및 상기 돌출부재 상에 구비되고 상기 전극패드와 전기적으로 연결된 도전성 피복층으로 이루어지는 도전성 범프가 구비된 박막 트랜지스터 기판, 상기 박막 트랜지스터 기판과 대향하는 컬러 필터 기판 및 상기 박막 트랜지스터 기판과 상기 컬러 필터 기판과의 사이에 구비된 액정층을 포함하는 액정표시패널; 상기 도전성 범프와 전기적으로 연결되어 상기 전극패드에 소정의 신호를 인가하는 구동 집적회로; 및 상기 도전성 범프와 상기 구동 집적회로와의 사이에 구비되어, 상기 도전성 범프와 상기 구동 집적회로와의 연결을 유지시키는 고정부재를 포함하여 이루어진다.

<40> 상기 돌출부재는 탄력성을 갖는 유기물로 이루어진다. 상기 돌출부재는 상기 전극패드 상에 서로 이격된 복수개의 돌기로 이루어져 상기 돌기들의 틈 사이로 상기 전극패드의 일부 영역을 노출시키거나, 상기 전극패드의 가장자리를 노출시키도록 상기 전극패드 상에 구비될 수 있다. 또한, 상기 돌출부재는 상면에 엠보싱 패턴이 형성될 수 있다.

<41> 상기 고정부재는 상기 도전성 범프와 상기 구동 집적회로가 서로 접할 때 연결화되며, 경화 시 수축하여 상기 도전성 범프와 상기 구동 집적회로와의 접촉력을 강화시키는 비전도성 수지이다.

<42> 본 발명의 제4 목적을 수행하기 위한 하나의 특징에 따른 액정표시장치의 제조방법은, 박막 트랜지스터 및 복수의 라인이 형성된 화소영역과 전극패드가 형성된 패드영역으로 이루어지는 액정표시장치의 제조방법에 있어서, 상기 전극패드 상에 구비된 돌출부재 및 상기 돌출부

재 상에 구비되고 상기 전극패드와 전기적으로 연결된 도전성 피복층으로 이루어지는 도전성 범프를 갖는 박막 트랜지스터 기판을 형성하는 단계; 상기 박막 트랜지스터 기판과 대향하여 결합하는 컬러 필터 기판을 형성하는 단계; 상기 박막 트랜지스터 기판과 상기 컬러 필터 기판과의 사이에 액정층을 형성하는 단계; 및 상기 전극패드에 소정의 신호를 인가하는 구동 집적 회로를 고정부재를 이용하여 상기 도전성 범프와 전기적으로 연결하는 단계를 포함하여 이루어진다.

<43> 상기 도전막은 인듐 틴 옥사이드 또는 인듐 징크 옥사이드로 이루어지거나, 금속으로 이루어질 수 있으며, 인듐 틴 옥사이드 또는 인듐 징크 옥사이드로 이루어진 제1 도전막과 금속으로 이루어지는 제2 도전막이 적층되어 형성될 수 있다.

<44> 이러한 박막 트랜지스터 기판, 이의 제조방법, 이를 갖는 액정표시장치 및 이의 제조방법에 의하면, 구동 집적회로를 패드영역에 실장할 때, 전극패드 상에 탄력성을 갖는 도전성 범프를 구비하고, 구동 집적회로와 도전성 범프와의 사이에 비전도성 수지를 이용하여 전기적으로 연결시킴으로써, 구동 집적회로와 전극패드와의 전기적 접촉성을 향상시킬 수 있다.

<45> 이하, 첨부한 도면을 참조하여, 본 발명의 실시예들에 의한 박막 트랜지스터 기판, 이의 제조방법, 이를 갖는 액정표시장치 및 이의 제조방법을 상세하게 설명하고자 한다.

<46> 도 2는 본 발명의 제1 실시예에 따른 액정표시장치의 평면도이고, 도 3은 도 2에 도시된 절단선 I-I에 따른 액정표시장치의 단면도이다.

<47> 도 2와 도 3을 참조하면, 본 발명의 제1 실시예에 따른 액정표시장치(100)는 크게 박막 트랜지스터 기판(200), 컬러 필터 기판(300) 및 박막 트랜지스터 기판(200)과 컬러 필터 기판(300)과의 사이에 구비되는 액정층(400)으로 이루어지는 액정표시패널을 포함한다.

- <48> 상기 액정표시패널은 서로 오버랩(overlap)되는 화소영역(291)과, 오버랩(overlap)되지 않는 패드영역(292, 293)으로 이루어진다.
- <49> 패드영역(292, 293)은 화소영역(291)에 게이트 신호를 인가하기 위한 게이트 패드영역(292)과, 화소영역(291)에 데이터 신호를 인가하기 위한 데이터 패드영역(293)으로 나누어진다.
- <50> 화소영역(291)은 도 3에 도시된 바와 같이 박막 트랜지스터 기판(200)과, 박막 트랜지스터 기판과 대향하여 결합하는 컬러 필터 기판(300) 및 이들 사이에 봉입된 액정층(400)이 구비되어 소정의 화상을 표시하는 영역으로 정의된다.
- <51> 박막 트랜지스터 기판(300)은 절연성의 제1 기판(210), 제1 기판(210) 상에 구비되는 박막 트랜지스터(220), 박막 트랜지스터(220) 상에 소정의 두께를 가지고 형성된 유기 절연막(230) 및 유기 절연막(230) 상에 균일한 두께를 가지고 구비되는 화소 전극(240)을 포함한다.
- <52> 박막 트랜지스터(220)는 제1 기판(210) 상에 구비되고 게이트 라인(미도시)으로부터 분기된 게이트 전극(221), 게이트 전극(221) 상에 구비되는 게이트 절연막(222), 게이트 전극(221)에 대응하여 게이트 절연막(222) 상에 순차적으로 형성된 반도체층(223)과 오믹 콘택층(224) 및 게이트 라인(미도시)으로부터 분기된 소오스 전극(225)과 드레인 전극(226)을 포함한다.
- <53> 화소 전극(240)은 액정표시장치(100)의 작동 방식에 따라 인듐 틴 옥사이드(Indium Tin Oxide ; ITO) 또는 인듐 징크 옥사이드(Indium Zinc Oxide ; IZO)로 이루어진 투명 도전막 또는 금속막으로 형성될 수 있고, 상기 투명 도전막과 상기 금속막이 적층되어 형성될 수 있다.

- <54> 유기 절연막(230)에는 드레인 전극(226)의 일부 영역을 노출시키는 콘택홀(235)이 형성되어 있으며, 화소 전극(240)은 콘택홀(235)을 통하여 드레인 전극(226)과 전기적으로 연결된다.
- <55> 한편, 컬러 필터 기판(300)은 절연성의 제2 기판(310) 상에 형성되고, 적색, 녹색, 청색의 컬러 필터로 이루어지는 컬러 필터층(320)과, 컬러 필터층(320) 상에 균일한 두께를 가지고 구비되는 공통 전극(330)을 포함한다.
- <56> 게이트 패드영역(292)은 절연성의 제1 기판(210), 제1 기판(210) 상에 구비된 게이트 전극패드(270a, 270b), 게이트 전극패드(270a, 270b) 상에 구비된 제1 도전성 범프(250), 제1 도전성 범프(250)와 전기적으로 연결되는 구동 집적회로(500) 및 제1 도전성 범프(250)와 구동 집적회로(250)의 전기적 연결 상태를 유지시키기 위한 고정부재인 비전도성 수지(600)를 포함하여 이루어진다. 여기서 제1 도전성 범프(250)는 제1 돌출부재(251) 및 제1 도전성 피복층(252)으로 이루어진다.
- <57> 데이터 패드영역(293)은 절연성의 제1 기판(210), 제1 기판(210) 상에 구비된 데이터 전극패드(280a, 280b), 데이터 전극패드(280a, 280b) 상에 구비된 제1 도전성 범프(250), 제1 도전성 범프(250)와 전기적으로 연결되는 구동 집적회로(500) 및 제1 도전성 범프(250)와 구동 집적회로(250)의 전기적 연결 상태를 유지시키기 위한 고정부재인 비전도성 수지(600)를 포함하여 이루어진다. 여기서 제1 도전성 범프(250)는 제1 돌출부재(251) 및 제1 도전성 피복층(252)으로 이루어진다.
- <58> 구동 집적회로(500)에는 제1 도전성 범프(250)와 전기적으로 연결하기 위하여 복수개의 전극(510)이 구비되어 있으며, 전극(510)은 제1 도전성 범프(250)와 일대일 대응하여 전기적으로 연결된다.

- <59> 구동 집적회로(500)를 게이트 및 데이터 패드영역(292, 293)에 실장하는 경우, 비전도성 수지(600)는 열압착 공정에 의해 연질화되고 소정 시간 경과 후 제1 도전성 범프(250)와 구동 집적회로(500)의 전극(510)과의 간격이 벌어지지 않도록 경화되어 제1 도전성 범프(250)와 구동 집적회로(500)와의 전기적 연결 상태를 유지시킨다.
- <60> 도 4는 도 2에 도시된 박막 트랜지스터 기관의 평면도이고, 도 5는 도 4에 도시된 절단선 II-II에 따른 박막 트랜지스터 기관의 단면도이다.
- <61> 박막 트랜지스터 기관의 화소영역, 게이트 패드영역 및 데이터 패드영역은 도 3에 도시된 액정표시장치(100)의 화소영역(291), 게이트 패드영역(292) 및 데이터 패드영역(293)과 그 구성 요소는 상이하지만, 도 4에 도시된 박막 트랜지스터 기관이 도 3에 도시된 액정표시장치(100)에 포함되므로 동일한 도면번호를 사용한다.
- <62> 도 4와 도 5를 참조하면, 박막 트랜지스터 기관(200)은 제1 기관(210) 상에 매트릭스 형태를 가지고 구비되는 복수개의 게이트 라인(270) 및 데이터 라인(280), 게이트 라인(270) 및 데이터 라인(280)의 교차 영역에 형성되고, 게이트 전극(221), 소오스 전극(225) 및 드레인 전극(226)을 포함하는 박막 트랜지스터(220)를 포함한다.
- <63> 또한, 박막 트랜지스터 기관(200)에는 게이트 라인(270) 및 데이터 라인(280)의 일단에 각각 게이트 전극패드(270a)와 데이터 전극패드(280)가 형성되어 있다.
- <64> 박막 트랜지스터 기관(200)은 화상을 디스플레이하기 위한 화소영역(291), 화소영역(291)의 주변 영역에 위치하고, 게이트 전극패드(270a)가 구비되는 게이트 패드영역(292) 및 데이터 전극패드(280a)가 구비되는 데이터 패드영역(293)으로 이루어진다.

- <65> 게이트 패드영역(292)에는 제1 기판(210) 상에 형성된 게이트 전극패드(270a), 게이트 전극패드(270a) 상에 소정 두께를 가지고 구비되는 제1 돌출부재(251) 및 제1 돌출부재(251) 상에 구비되어 게이트 전극패드(270a)와 전기적으로 연결되는 제1 도전성 피복층(252)으로 이루어지는 제1 도전성 범프(250)가 구비되어 있다.
- <66> 데이터 패드영역(293)에는 제1 기판(210) 상에 형성된 게이트 절연막(222), 게이트 절연막(222) 상에 형성된 데이터 전극패드(280a), 데이터 전극패드(280a) 상에 소정 두께를 가지고 구비되는 제1 돌출부재(251) 및 제1 돌출부재(251) 상에 구비되어 데이터 전극패드(280a)와 전기적으로 연결되는 제1 도전성 피복층(252)으로 이루어지는 제1 도전성 범프(250)가 구비되어 있다.
- <67> 게이트 및 데이터 전극패드(270a, 280a)는 게이트 라인(270) 및 데이터 라인(280)의 일단에 구비되며, 게이트 라인(270) 및 데이터 라인(280)의 폭 보다 넓은 폭을 가지고 구비된다.
- <68> 게이트 및 데이터 전극패드(270a, 280a) 상에 구비되는 제1 돌출부재(251)는 화소영역(291)의 박막 트랜지스터(220) 상에 구비되는 유기 절연막(230)이고, 제1 돌출부재(251) 상에 구비되는 제1 도전성 피복층(252)은 화소영역(291)의 유기 절연막(230) 상에 구비되는 화소 전극(240)과 동일 재질로 형성된다.
- <69> 따라서, 화소 전극(240)이 인듐 틴 옥사이드 또는 인듐 징크 옥사이드로 이루어진 투명 도전막인 경우 제1 도전성 피복층(252)도 상기 투명 도전막으로 이루어지고, 화소 전극(240)이 금속막인 경우, 제1 도전성 피복층(252)도 상기 금속막으로 이루어진다.

- <70> 반면, 화소 전극(240)이 상기 투명 도전막과 상기 금속막의 적층 구조를 갖는 경우 제1 도전성 피복층(252)은 상기 투명 도전막 또는 상기 금속막 중 어느 하나로 이루어질 수 있고, 화소 전극(240)과 마찬가지로 상기 투명 도전막과 상기 금속막의 적층 구조를 가질 수 있다.
- <71> 도 4와 도 5를 참조하여 설명한 박막 트랜지스터 기판(200)은 액정표시장치에 사용되는 경우뿐만 아니라, 유기 EL 장치와 같이 상기 액정표시장치와 유사한 기능을 수행하는 다른 평판표시장치에도 사용될 수 있다.
- <72> 도 6은 도 5에 도시된 도전성 범프를 설명하기 위한 부분 확대도이다.
- <73> 도 5와 도 6을 참조하면, 게이트 패드영역(292)의 제1 도전성 범프(250)는 게이트 전극 패드(270a) 상에 구비된 제1 돌출부재(251)와, 제1 돌출부재(251) 상에 구비되는 제1 도전성 피복층(252)으로 이루어진다.
- <74> 제1 돌출부재(251)는 게이트 라인(270)의 일단에 형성된 게이트 전극패드(270a) 상에 소정의 두께를 가지고 구비된다. 또한, 제1 돌출부재(251)는 게이트 전극패드(270a)의 폭보다 작은 폭을 가지고 구비되며, 게이트 전극패드(270a)와 접하는 제1 돌출부재(251)의 바닥면의 면적은 게이트 전극패드(270a)의 면적보다 작아 게이트 전극패드(270a)의 가장자리 영역을 노출시킨다. 제1 도전성 피복층(252)은 제1 돌출부재(251)를 덮도록 제1 돌출부재(251) 상에 구비되며, 제1 돌출부재(251)의 외측으로 노출된 게이트 전극패드(270a)의 가장자리 영역과 전기적으로 연결된다.
- <75> 데이터 패드영역(293)의 제1 도전성 범프(250)도 게이트 패드영역(292)의 제1 도전성 범프(250)와 동일하게 데이터 전극패드(280a)보다 작은 면적을 가지고 데이터 전극패드(280a) 상에 구비되어, 데이터 전극패드(280a)의 가장자리 영역을 노출시키는 제1 돌출부재(251)와, 제1

돌출부재(251)를 덮도록 제1 돌출부재(251) 상에 구비되며, 데이터 전극패드(280a)의 가장자리 영역과 전기적으로 연결되는 제1 도전성 피복층(252)을 포함하여 이루어진다.

<76> 도 7은 본 발명의 제1 실시예에 따른 도전성 범프와 구동 집적회로와의 본딩을 설명하기 위한 단면도이다.

<77> 도 7을 참조하면, 비전도성 수지(600)에 의해 전기적 연결 상태를 유지하고 있는 제1 도전성 범프(250)와 구동 집적회로(500)가 도시되어 있다.

<78> 제1 도전성 범프(250)는 게이트 전극패드(270a) 상에 제1 두께(T1)를 가지고 구비된 후, 열압착 공정에 의하여 구동 집적회로(500)와 전기적으로 연결된다. 이때, 제1 도전성 범프(250)를 구성하는 제1 돌출부재(251)는 탄력성을 가진 유기 절연막이므로, 상기 열압착 공정시 제1 도전성 범프(250)는 제2 두께(T2)를 갖도록 압축된다.

<79> 제1 도전성 범프(250)와 구동 집적회로(500)의 전극(510)과의 사이에는 전기적 연결 상태를 유지하기 위하여 고정부재인 비전도성 수지(600)가 구비된다.

<80> 비전도성 수지(600)는 상기 열압착 공정시 연질화되어 제1 도전성 범프(250)와 구동 집적회로(500)의 전극(510)의 외측으로 밀려나며, 소정 시간 경과 후 경화되어 제1 도전성 범프(250)가 제2 두께(T2)를 가지고 압축된 상태를 유지하며 구동 집적회로(500)의 전극(510)과의 전기적 연결 상태를 유지하도록 한다.

<81> 비전도성 수지(600)가 경화될 때, 비전도성 수지(600)는 제1 방향(D1) 및 제2 방향(D2)으로 수축한다. 따라서, 비전도성 수지(600)는 경화 시 구동 집적회로(500)의 전극(510)과 제1 도전성 범프(250)와의 접촉력을 더욱 강화시키는 역할을 한다.

- <82> 제1 도전성 범프(250)와 구동 집적회로(500)와의 사이에서 발생하는 저항열에 의하여 비전도성 수지(600)의 온도가 상승하는 경우, 비전도성 수지(600)는 열팽창을 하게 된다. 따라서, 상기 열팽창에 의하여 비전도성 수지(600)는 게이트 전극패드(270a)와 구동 집적회로(500)와의 간격을 이격시킨다. 그러나, 제1 도전성 범프(250)는 탄력성을 가진 재질로서 상기 열압착 공정시 제2 두께(T2)를 가지고 압축된 상태이므로 게이트 전극패드(270a)와 구동 집적회로(500)와의 간격이 비전도성 수지(600)의 열팽창에 의하여 이격되더라도 제1 도전성 범프(250)가 이격되는 간격만큼 복원되어 전기적 연결 상태를 유지한다.
- <83> 비전도성 수지(600)의 열팽창 이외에도 제1 도전성 범프(250)와 구동 집적회로(500)의 접촉 부위가 충격을 받거나 또는 비전도성 수지(600)의 제1 도전성 범프(250) 및 구동 집적회로(500)에 대한 고정력이 약화되는 등의 원인으로 도전성 범프(250) 및 구동 집적회로(500) 사이의 간격이 벌어지게 되는 경우에도 상기 벌어지는 간격에 대응하여 제1 도전성 범프(250)가 복원됨으로써 제1 도전성 범프(250)와 구동 집적회로의 전극(500)간의 전기적 연결을 유지할 수 있다.
- <84> 도 8a와 도 8b는 본 발명의 제2 실시예에 따른 게이트 패드영역 및 데이터 패드영역을 설명하기 위한 단면도이다.
- <85> 본 발명의 제2 실시예에 따른 게이트 및 데이터 패드영역은 본 발명의 제1 실시예에 따른 게이트 및 데이터 패드영역과 동일한 기능을 수행하므로 동일한 도면번호를 사용한다.
- <86> 먼저 도 8a를 참조하면, 본 발명의 제2 실시예에 따른 게이트 패드영역(292)은 제1 기판(210), 제1 기판(210) 상에 구비되는 게이트 전극패드(270a) 및 게이트 전극패드(270a) 상에 구비되는 제2 돌출부재(251a)와 제2 돌출부재(251a) 상에 구비되는 제2 도전성 피복층(252a)으로 이루어지는 제2 도전성 범프(250a)를 포함한다.

- <87> 게이트 전극패드(270a)는 도 4에 도시된 바와 같이 제1 기판(210) 상에 형성된 게이트 라인(270)의 일단에 소정의 면적을 가지고 구비된다.
- <88> 게이트 전극패드(270a) 상에 구비되는 제2 돌출부재(251a)는 서로 이격된 복수개의 돌기 형상을 가지고 구비된다. 즉, 제2 돌출부재(251a)가 구비된 게이트 전극패드(270a)를 게이트 전극패드(270a)의 위쪽에서 바라보았을 때 게이트 전극패드(270a) 상에 제2 돌출부재(251a)가 도트 형상을 갖도록 구비된다.
- <89> 제2 돌출부재(251a)은 게이트 전극패드(270a)의 일정 영역, 즉 상기 돌기와 돌기 사이의 영역을 노출시키도록 구비되며, 제2 돌출부재(251a)에 의해 노출된 게이트 전극패드(270a)는 제2 돌출부재(251a) 상에 구비되는 제2 도전성 피복층(252a)과 전기적으로 연결된다.
- <90> 도 8b를 참조하면, 본 발명의 제2 실시예에 따른 데이터 패드영역(293)은 제1 기판(210) 상에 구비되는 게이트 절연막(222), 게이트 절연막(222) 상에 구비되는 데이터 전극패드(280a) 및 데이터 전극패드(280a) 상에 구비되는 제2 돌출부재(251a)과 제2 돌출부재(251a) 상에 구비되는 제2 도전성 피복층(252a)으로 이루어지는 제2 도전성 범프(250a)를 포함한다.
- <91> 데이터 전극패드(280a)는 게이트 전극패드(270a)와 마찬가지로 도 4에 도시된 바와 같이 게이트 절연막(222) 상에 형성된 데이터 라인(280)의 일단에 소정의 면적을 가지고 구비된다.
- <92> 데이터 전극패드(280a) 상에 구비되는 제2 도전성 범프(250a)는 게이트 패드영역(270a)의 제2 도전성 범프(250a)와 동일한 형상 및 기능을 가지므로 이에 대한 설명을 생략하기로 한다.

- <93> 게이트 전극패드(270a) 및 데이터 전극패드(280a)와 전기적으로 연결되는 제2 도전성 피복층(252a)은 도 5를 참조하여 설명한 제1 도전성 피복층(252)과 같이 투명 도전막 또는 금속막일 수 있고, 상기 투명 도전막 및 상기 금속막의 적층 구조를 가질 수 있다.
- <94> 게이트 패드영역(292) 및 데이터 패드영역(293)에 구비된 제2 도전성 범프(250a)는 게이트 전극패드(270a) 및 데이터 전극패드(280a) 상에 복수 개의 돌기 형상을 가지고 구비됨으로써, 구동 집적회로(미도시)의 전극이 균일한 두께를 갖지 않더라도 제2 도전성 범프(250a)는 서로 다른 높이를 가지고 압축되어 구동 집적회로의 전극과 전기적으로 연결된다. 따라서, 구동 집적회로의 실장 시 전기적 접촉에 대한 신뢰성을 향상시킨다.
- <95> 도 9a와 도 9b는 본 발명의 제3 실시예에 따른 게이트 패드영역 및 데이터 패드영역을 설명하기 위한 단면도이다. 이하에서 도 8a와 도 8b에서 설명한 것과 동일한 작용 및 기능을 하는 구성요소에 대해서는 상세한 설명을 생략한다.
- <96> 먼저 도 9a를 참조하면, 본 발명의 제3 실시예에 따른 게이트 패드영역(292)은 제1 기판(210), 제1 기판(210) 상에 구비되는 게이트 전극패드(270a) 및 게이트 전극패드(270a) 상에 구비되는 제3 돌출부재(251b)과 제3 돌출부재(251b) 상에 구비되는 제3 도전성 피복층(252b)으로 이루어지는 제3 도전성 범프(250b)를 포함한다.
- <97> 게이트 전극패드(270a) 상에 구비되는 제3 돌출부재(251b)의 상면에는 오목부와 볼록부로 이루어지는 엠보싱 패턴이 형성되어 있다. 엠보싱 패턴이 형성된 제3 돌출부재(251b) 상에는 제3 도전성 피복층(252b)이 상기 엠보싱 패턴을 따라 균일한 두께를 가지고 구비되어, 제3 돌출부재(251b)의 외측으로 노출된 게이트 전극패드(270a)와 전기적으로 연결된다.

- <98> 도 9b를 참조하면, 본 발명의 제3 실시예에 따른 데이터 패드영역(293)은 제1 기판(210) 상에 구비되는 게이트 절연막(222), 게이트 절연막(222) 상에 구비되는 데이터 전극패드(280a) 및 데이터 전극패드(280a) 상에 구비되는 제3 돌출부재(251b)와 제3 돌출부재(251b) 상에 구비되는 제3 도전성 피복층(252b)으로 이루어지는 제3 도전성 범프(250b)를 포함한다.
- <99> 데이터 전극패드(280a) 상에 구비되는 제3 도전성 범프(250b)는 게이트 패드영역(292)의 제3 도전성 범프(250b)와 동일한 형상 및 기능을 가지므로 이에 대한 설명을 생략하기로 한다.
- 100> 게이트 전극패드(270a) 및 데이터 전극패드(280a)와 전기적으로 연결되는 제3 도전성 피복층(252b)은 도 5를 참조하여 설명한 제1 도전성 피복층(252)과 같이 투명 도전막 또는 금속막일 수 있고, 상기 투명 도전막 및 상기 금속막의 적층 구조를 가질 수 있다.
- 101> 본 발명의 제3 실시예에 따른 제3 도전성 범프(250b)에 구동 집적회로(미도시)가 실장될 때, 제3 도전성 범프(250b)에 형성된 엠보싱 패턴의 블록부가 상기 구동 집적회로의 전극과 접촉하므로 구동 집적회로의 전극이 균일한 두께를 갖지 않더라도 제3 도전성 범프(250b)와 구동 집적회로와의 전기적 접촉에 대한 신뢰성을 향상시킨다.
- 102> 도 10a 내지 도 10d는 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 제조방법을 설명하기 위한 공정도이다.
- 103> 도 4와 도 10a를 참조하면, 유리 또는 세라믹 등과 같은 절연성 물질로 이루어진 제1 기판(210)상에 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti), 구리(Cu) 또는 텅스텐(W) 등으로 이루어진 제1 금속층을 형성한다.

- 104> 제1 기판(210)은 크게 화상을 표시하기 위한 화소영역(291), 화소영역(291)의 주변 영역에 형성되어 게이트 신호를 입력받는 게이트 패드영역(292) 및 화소영역(291)의 주변 영역에 형성되어 데이터 신호를 입력받는 데이터 패드영역(293)을 갖는다.
- 105> 상기 제1 금속층을 패터닝(patterning)하여 제1 기판(210) 상에 제1 방향으로 연장되어 소정 간격으로 배열되는 게이트 라인(270) 및 게이트 라인(270)으로부터 분기되는 게이트 전극(221)을 형성한다. 이와 동시에, 화소영역(291)의 주변 영역에 형성된 게이트 패드영역(292)에는 게이트 라인(270)의 일단에 게이트 전극패드(270a)를 형성한다. 이때, 게이트 전극패드(270a)는 바람직하게는 게이트 전극(221) 및 게이트 라인(270)에 비하여 넓은 면적을 갖도록 형성한다.
- 106> 게이트 라인(270), 게이트 전극(221) 및 게이트 전극패드(270a)가 형성된 제1 기판(210)의 전면에 질화 실리콘(SiN_x)을 플라즈마 화학 기상 증착 방법으로 적층하여 게이트 절연막(222)을 형성한다.
- 107> 이후 도 10b에 도시된 바와 같이, 게이트 절연막(222) 상에 아몰퍼스 실리콘막 및 인 시튜(in-situ)로 도핑된 n^+ 아몰퍼스 실리콘막을 플라즈마 화학 기상 증착 방법으로 차례로 적층한다. 이어, 적층된 아몰퍼스 실리콘막 및 n^+ 아몰퍼스 실리콘막을 패터닝하여 게이트 전극(221)에 대응하는 게이트 절연막(222) 상에 반도체층(223) 및 오믹 콘택층(224)을 형성한다.
- 108> 계속하여, 상기 결과물 상에 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti), 구리(Cu) 또는 텅스텐(W) 등과 같은 금속으로 이루어진 제2 금속층을 적층한 후, 상기 제2 금속층을 패터닝하여 도 4에 도시된 바와 같이 게이트 라인(270)에 직교하도록 제2 방향으로 연장된 데이터 라인(280)과 데이터 라인(280)으로부터 분기되는 소오스 전극(225) 및 드레인 전극(226)을 형성한다. 또한, 데이터 라인(280)의 일단에 데이터 전극패드(280a)를 형성

한다. 이때 데이터 전극패드(280a)는 바람직하게는 데이터 라인(280)에 비하여 넓은 면적을 갖도록 형성한다.

109> 이로써, 제1 기판(210)의 화소영역(291)에는 게이트 전극(221), 반도체층(223), 오믹 콘택층(224), 소오스 전극(225) 및 드레인 전극(226)을 포함하는 박막 트랜지스터(220)가 완성된다. 또한, 게이트 패드영역(292) 및 데이터 패드영역(293)에는 각각 게이트 전극패드(270a)와 데이터 전극패드(280a)가 형성된다.

110> 계속하여 도 10c와 도 10d를 참조하면, 화소영역(291), 게이트 패드영역(292) 및 데이터 패드영역(293)의 전면에 소정의 두께를 갖는 감광성 포토레지스트(231)를 도포한다.

111> 이후, 감광성 포토레지스트(231) 상측에 제1 투광영역(710)과 제1 차광영역(720)이 형성된 제1 마스크(700)를 정렬하고, 사진 공정을 통하여 화소영역(291)에 드레인 전극(226)의 일부 영역을 노출시키는 콘택홀(235)이 형성된 유기 절연막(230)을 형성하고, 게이트 및 데이터 패드영역(292, 293)에 게이트 전극패드(270a) 및 데이터 전극패드(280a)의 가장자리 영역을 노출시키는 제1 돌출부재(251)를 형성한다.

112> 계속하여 화소영역(291)의 유기 절연막(230) 및 게이트 및 데이터 패드영역(292, 293)의 제1 돌출부재(251) 상에 인듐 틴 옥사이드 또는 인듐 징크 옥사이드로 이루어지는 투명 도전막 또는 알루미늄-내드륨(AlNd)이나 폴리브덴-텅스텐(MoW)으로 이루어지는 금속막을 증착하여 화소 전극(미도시) 및 제1 도전성 피복층(미도시)을 형성한다. 또한, 상기 투명 도전막과 상기 금속막을 적층하여 상기 화소 전극 및 상기 제1 도전성 피복층을 형성하는 것도 가능하다. 이로써, 도 5에 도시된 박막 트랜지스터 기판(200)을 완성한다.

- 113> 이후, 도 3에 도시된 바와 같이 박막 트랜지스터 기판(200)과 대향하여 합체함으로써 액정층(400)을 봉입하는 컬러 필터 기판(300)을 형성한다. 즉, 박막 트랜지스터 기판(200) 및 컬러 필터 기판(300)은 서로 대향하여 결합하여 액정층(400)을 봉입하여 도 3에 도시된 액정표시 장치(100)를 완성한다.
- 114> 도 11a와 도 11b는 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판의 제조방법을 설명하기 위한 공정도이다.
- 115> 도 11a와 도 11b를 참조하면, 도 10c에 도시된 바와 같이 감광성 포토레지스트(231)가 형성된 제1 기판(210) 상에 제2 투광영역(810)과 제2 차광영역(820)이 형성된 제2 마스크(800)를 이용하여 감광성 포토레지스트(231)를 패터닝한다.
- 116> 이로써, 도 11b에 도시된 바와 같이 화소영역(291)에 드레인 전극(226)을 노출시키는 콘택홀(235)이 형성된 유기 절연막(230)을 형성하고, 게이트 패드영역(292)과 데이터 패드영역(293) 상에 균일한 높이를 가지고 게이트 전극패드(270a) 및 데이터 전극패드(280a)의 일정 영역을 노출시키는 돌기를 형성을 갖는 제2 돌출부재(251a)를 형성한다.
- 117> 제2 마스크(800)의 제2 차광영역(820)은 일정한 면적을 가지고 게이트 전극패드(270a) 및 데이터 전극패드(280a)에 대응하여 서로 분리되어 배열된다. 따라서, 감광성 포토레지스트(231)를 패터닝하는 경우, 게이트 패드영역(292) 및 데이터 패드영역(293)에 형성되는 제2 돌출부재(251a)는 제2 차광영역(820)에 대응하여 서로 이격된 돌기 형상을 갖는다.
- 118> 한편, 제2 투광영역(810)에 대응하는 감광성 포토레지스트(231)는 사진 공정을 통하여 제거되므로, 제2 돌출부재(215b1)는 상기 돌기와 돌기간의 틈 사이로 게이트 및 데이터 전극패드(270a, 280a)의 일정 영역을 노출시킨다.

- 119> 이후, 화소영역(291)의 유기 절연막(230) 및 게이트 및 데이터 패드영역(292, 293)의 제2 돌출부재(251a) 상에 인듐 틴 옥사이드 또는 인듐 징크 옥사이드로 이루어지는 투명 도전막 또는 알루미늄-내드륨(AlNd)이나 몰리브덴-텅스텐(MoW)으로 이루어지는 금속막을 증착하여 화소 전극(미도시) 및 제2 도전성 피복층(미도시)을 형성한다. 또한, 상기 투명 도전막과 상기 금속막을 적층하여 상기 화소 전극 및 상기 제2 도전성 피복층을 형성하는 것도 가능하다.
- 20> 도 12a 내지 도 12b는 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판을 제조하는 공정을 설명하기 위한 공정도이다.
- 21> 도 12a와 도 12b를 참조하면, 도 10d에 도시된 바와 같이 화소영역(291)에 콘택홀(235)이 형성된 유기 절연막(230)이 형성되고, 게이트 및 데이터 패드영역(292, 293)에 제1 돌출부재(251)가 형성된 제1 기판(210) 상에 제3 투광영역(910)과 제3 차광영역(920)이 형성된 제3 마스크(900)를 이용하여 유기 절연막(230)과 제1 돌출부재(251) 상면에 엠보싱 패턴을 형성한다.
- 22> 이로써, 게이트 패드영역(292)과 데이터 패드영역(293)에 엠보싱 패턴이 형성된 제3 돌출부재(251b)를 형성한다.
- 23> 상기 엠보싱 패턴 형성 공정에서 화소영역(291)을 제외하고 게이트 및 데이터 패드영역(292, 293)의 제1 돌출부재(251)의 상면에만 엠보싱 패턴을 형성하는 것도 가능하다.
- 24> 엠보싱 패턴이 형성된 유기 절연막(230a) 및 제3 돌출부재(251b) 상에 인듐 틴 옥사이드 또는 인듐 징크 옥사이드로 이루어지는 투명 도전막 또는 알루미늄-내드륨(AlNd)이나 몰리브덴-텅스텐(MoW)으로 이루어지는 금속막을 증착하여 화소영역(291)에 화소 전극(미도시)을 형성하

고, 제3 돌출부재(251b) 상에 제3 도전성 피복층(미도시)을 형성한다. 또한, 상기 투명 도전막과 상기 금속막을 적층하여 화소 전극 및 제3 도전성 피복층을 형성하는 것도 가능하다.

- 125> 상기 엠보싱 패턴 형성 공정은 콘택홀 및 제3 돌출부재를 형성한 이후에 수행하는 것으로 설명하였으나, 감광성 포토레지스트 상에 엠보싱 패턴을 먼저 형성한 후 콘택홀 및 제3 돌출부재를 형성하는 것도 가능하다.

【발명의 효과】

- 126> 이상에서 설명한 바와 같이, 본 발명에 따르면 액정표시장치의 게이트 및 데이터 패드 영역에 탄력성을 갖는 도전성 범프를 형성하고, 구동 집적회로를 비전도성 수지를 이용하여 상기 도전성 범프에 실장시킨다.
- 27> 이로써, 상기 구동 집적회로와 상기 도전성 범프의 사이에 구비되는 비전도성 수지가 상기 구동 집적회로와 상기 도전성 범프를 고정시켜 전기적 연결 상태를 유지시킨다.
- 28> 또한, 상기 구동 집적회로를 열압착 공정을 이용하여 상기 도전성 범프에 실장 시킬 때 상기 비전도성 수지는 연질화되고 소정 시간 경과 후 경화되며, 이때 상기 비전도성 수지는 수축하여 상기 구동 집적회로와 상기 도전성 범프의 접착력을 더욱 강화시킨다.
- 29> 아울러, 상기 구동 집적회로를 상기 도전성 범프에 실장한 후 상기 구동 집적회로와 상기 도전성 범프와의 간격이 이격되는 경우, 상기 도전성 범프는 탄력성을 가지고 상기 구동 집적회로와 소정의 두께만큼 압축되어 연결되어 있기 때문에 상기 이격되는 간격만큼 복원되어 상기 구동 집적회로와 상기 도전성 범프와의 전기적 연결 상태를 유지시킨다.

- 130> 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

기판 상에 구비된 게이트 라인과 데이터 라인의 일단에 형성된 전극패드; 및

상기 전극패드 상에 일정 두께를 갖는 돌출부재와 상기 돌출부재 상에 구비되어 상기 전극패드와 전기적으로 연결된 도전성 피복층으로 이루어지고, 비전도성 수지에 의하여 상기 전극패드에 소정의 신호를 인가하는 구동 집적회로와 전기적으로 연결되는 도전성 범프를 포함하는 박막 트랜지스터 기판.

【청구항 2】

제1항에 있어서, 상기 돌출부재는 상기 전극패드의 가장자리를 노출시키도록 상기 전극패드 상에 구비되는 것을 특징으로 하는 박막 트랜지스터 기판.

【청구항 3】

제2항에 있어서, 상기 돌출부재는 상면에 엠보싱 패턴이 형성된 것을 특징으로 하는 박막 트랜지스터 기판.

【청구항 4】

제1항에 있어서, 상기 돌출부재는 상기 전극패드 상에 서로 이격된 복수개의 돌기로 이루어지고, 상기 돌기들의 틈 사이로 상기 전극패드의 일부 영역을 노출시키는 것을 특징으로 하는 박막 트랜지스터 기판.

【청구항 5】

기판 상에 게이트 라인과, 데이터 라인 및 상기 게이트 라인과 상기 데이터 라인의 일단에 구비되는 전극패드를 형성하는 단계; 및

상기 전극패드 상에 일정한 두께를 갖는 돌출부재와 상기 돌출부재 상에 구비되어 상기 전극패드와 전기적으로 연결된 도전성 피복층으로 이루어지고, 비전도성 수지에 의하여 상기 전극패드에 소정의 신호를 인가하는 구동 집적회로와 전기적으로 연결되는 도전성 범프를 형성하는 단계를 포함하는 박막 트랜지스터 기판의 제조 방법.

【청구항 6】

제5항에 있어서, 상기 도전성 범프를 형성하는 단계는,

상기 전극패드 상에 감광성 유기막을 형성하는 단계;

상기 감광성 유기막을 패터닝하여 상기 전극패드 상에 돌출부재를 형성하는 단계;

상기 돌출부재를 덮도록 도전막을 형성하는 단계; 및

상기 도전막을 패터닝하여 상기 돌출부재 상에 상기 전극패드와 전기적으로 연결된 도전성 피복층을 형성하는 단계를 포함하는 박막 트랜지스터 기판의 제조방법.

【청구항 7】

박막 트랜지스터 및 복수의 라인이 형성된 화소영역과 전극패드가 형성된 패드영역으로 이루어지는 액정표시장치에 있어서,

상기 전극패드 상에 구비된 돌출부재 및 상기 돌출부재 상에 구비되고 상기 전극패드와 전기적으로 연결된 도전성 피복층으로 이루어지는 도전성 범프가 구비된 박막 트랜지스터 기판, 상기 박막 트랜지스터 기판과 대향하는 컬러 필터 기판 및 상기 박막 트랜지스터 기판과 상기 컬러 필터 기판과의 사이에 구비된 액정층을 포함하는 액정표시패널;

상기 도전성 범프와 전기적으로 연결되어 상기 전극패드에 소정의 신호를 인가하는 구동 집적회로; 및

상기 도전성 범프와 상기 구동 집적회로와의 사이에 구비되어, 상기 도전성 범프와 상기 구동 집적회로와의 연결을 유지시키는 고정부재를 포함하는 액정표시장치.

【청구항 8】

제7항에 있어서, 상기 돌출부재는 탄력성을 갖는 유기물로 이루어지고, 상기 도전성 범프는 상기 구동 집적회로와 접촉 시 압축되었다가 상기 구동 집적회로가 상기 전극패드로부터 이격되면 상기 이격된 간격만큼 복원되어 상기 도전성 범프와 상기 구동 집적회로와의 단선을 방지하는 것을 특징으로 하는 액정표시장치.

【청구항 9】

제8항에 있어서, 상기 돌출부재는 상기 전극패드의 가장자리를 노출시키도록 상기 전극패드 상에 구비되는 것을 특징으로 하는 액정표시장치.

【청구항 10】

제9항에 있어서, 상기 돌출부재는 상면에 엠보싱 패턴이 형성된 것을 특징으로 하는 액정표시장치.

【청구항 11】

제8항에 있어서, 상기 돌출부재는 상기 전극패드 상에 서로 이격된 복수개의 돌기로 이루어지고, 상기 돌기들의 틈 사이로 상기 전극패드의 일부 영역을 노출시키는 것을 특징으로 하는 액정표시장치.

【청구항 12】

제7항에 있어서, 상기 고정부재는 상기 도전성 범프와 상기 구동 집적회로가 서로 접할 때 연질화되며, 경화 시 수축하여 상기 도전성 범프와 상기 구동 집적회로와의 접촉력을 강화시키는 비전도성 수지인 것을 특징으로 하는 액정표시장치.

【청구항 13】

박막 트랜지스터 및 복수의 라인이 형성된 화소영역과 전극패드가 형성된 패드영역으로 이루어지는 액정표시장치의 제조방법에 있어서,

상기 전극패드 상에 구비된 돌출부재 및 상기 돌출부재 상에 구비되고 상기 전극패드와 전기적으로 연결된 도전성 피복층으로 이루어지는 도전성 범프를 갖는 박막 트랜지스터 기판을 형성하는 단계;

상기 박막 트랜지스터 기판과 대향하여 결합하는 컬러 필터 기판을 형성하는 단계;

상기 박막 트랜지스터 기판과 상기 컬러 필터 기판과의 사이에 액정층을 형성하는 단계 ; 및

상기 전극패드에 소정의 신호를 인가하는 구동 집적회로를 고정부재를 이용하여 상기 도전성 범프와 전기적으로 연결하는 단계를 포함하는 액정표시장치의 제조방법.

【청구항 14】

제13항에 있어서, 상기 박막 트랜지스터 기판을 형성하는 단계는,

상기 화소영역 및 상기 패드영역 상에 감광성 유기막을 형성하는 단계;

상기 감광성 유기막을 패터닝하여 상기 화소영역의 상기 박막 트랜지스터 및 상기 복수의 라인을 보호하는 절연막 및 상기 전극패드 상에 돌출부재를 형성하는 단계;

상기 절연막 및 상기 돌출부재를 덮도록 도전막을 형성하는 단계; 및

상기 도전막을 패터닝하여 상기 절연막 상에 화소전극을 형성하고, 상기 돌출부재 상에 상기 전극패드와 전기적으로 연결된 도전성 피복층을 형성하는 단계를 포함하는 액정표시장치의 제조방법.

【청구항 15】

제14항에 있어서, 상기 도전막은 인듐 틴 옥사이드 또는 인듐 징크 옥사이드로 이루어지는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 16】

제14항에 있어서, 상기 도전막은 금속으로 이루어지는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 17】

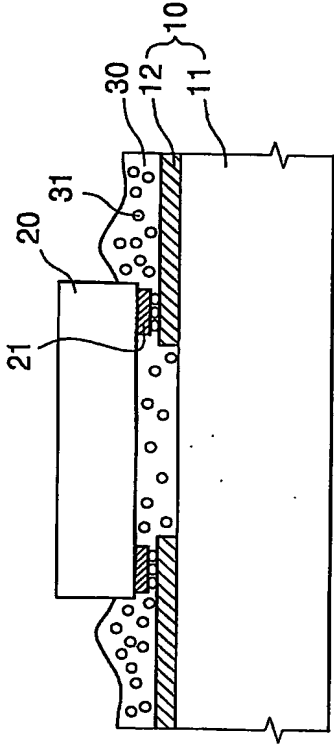
제14항에 있어서, 상기 도전막은 인듐 틴 옥사이드 또는 인듐 징크 옥사이드로 이루어진 제1 도전막과 금속으로 이루어지는 제2 도전막이 적층되어 형성된 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 18】

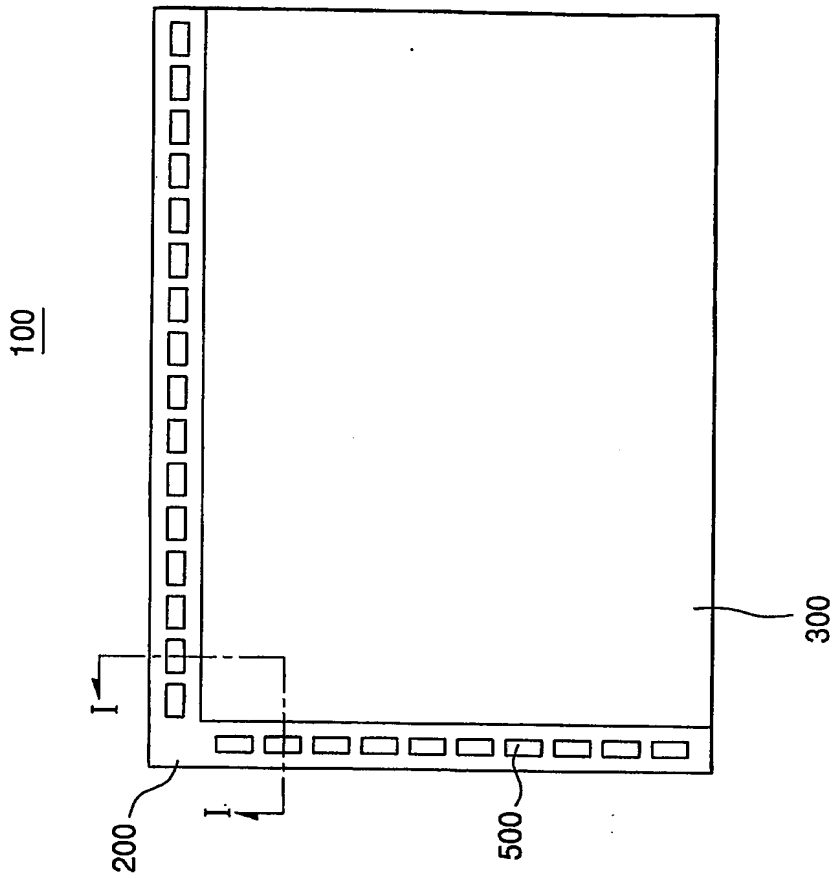
제13항에 있어서, 상기 고정부재는 상기 구동 집적회로를 상기 도전성 범프에 실장 시 연결화되고, 경화 시 수축하여 상기 도전성 범프와 상기 구동 집적회로와의 접촉력을 강화시키는 비전도성 수지인 것을 특징으로 하는 액정표시장치의 제조방법.

【도면】

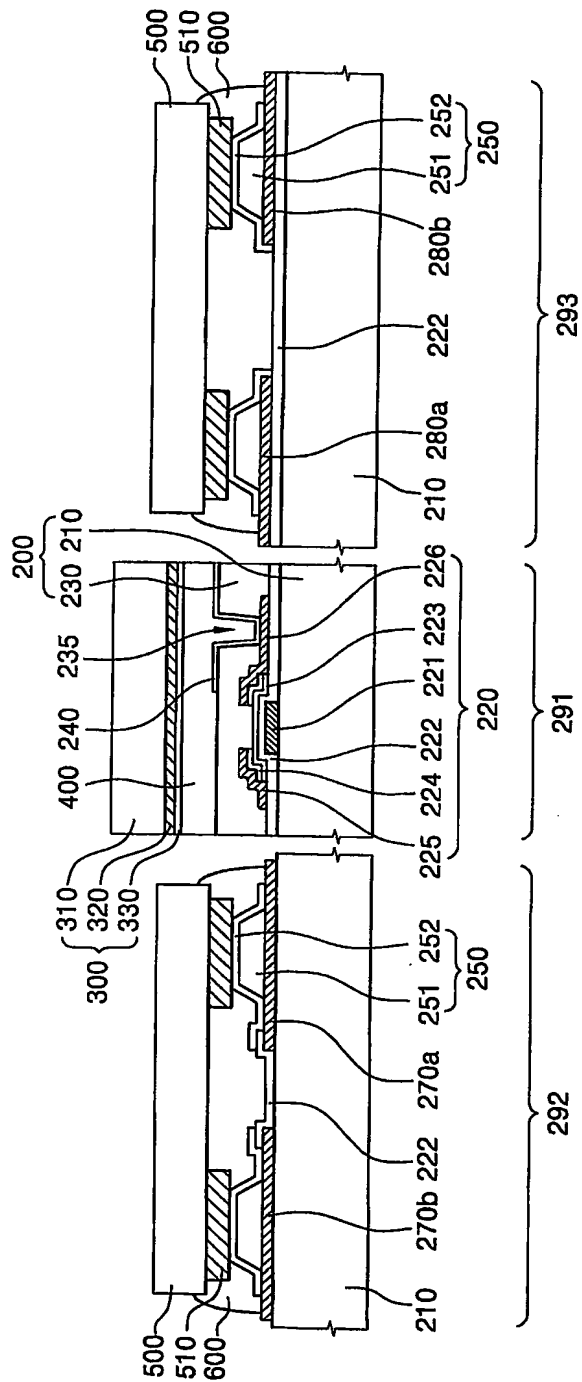
【도 1】



【도 2】

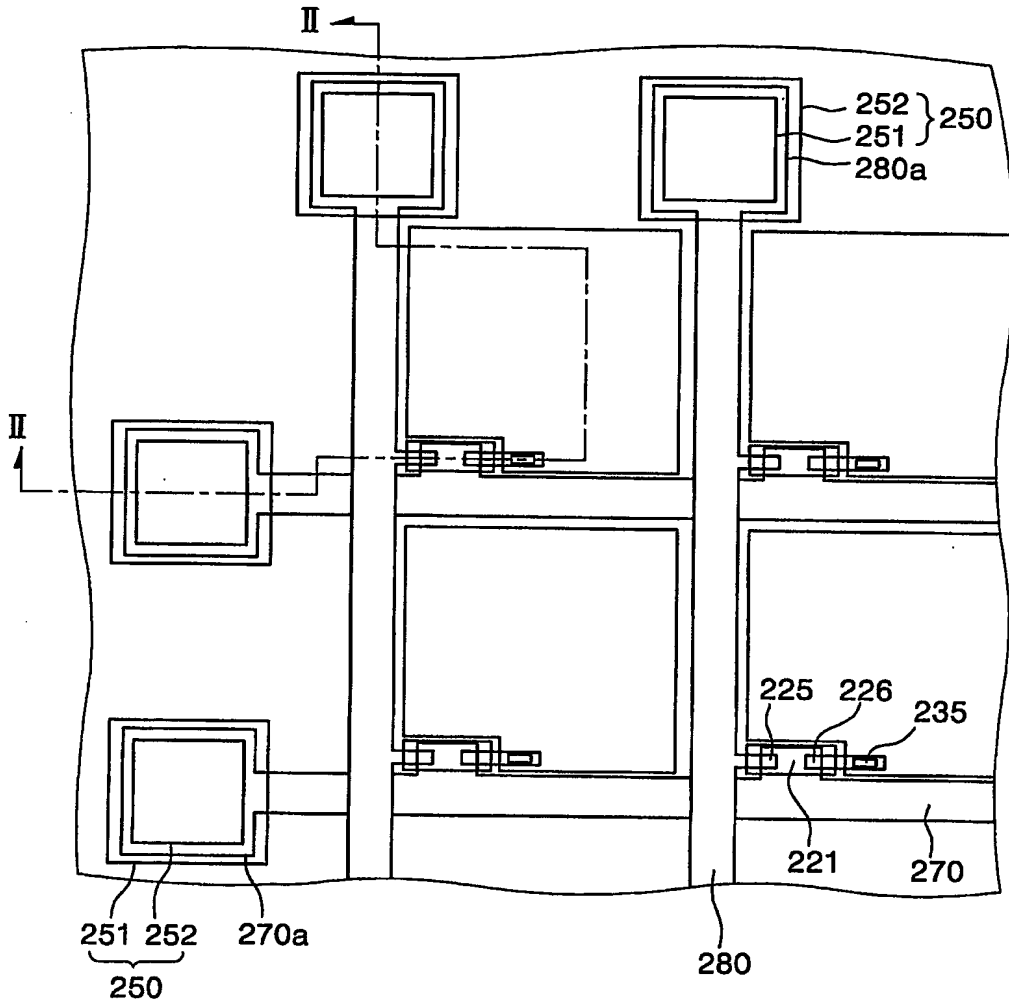


【도 3】

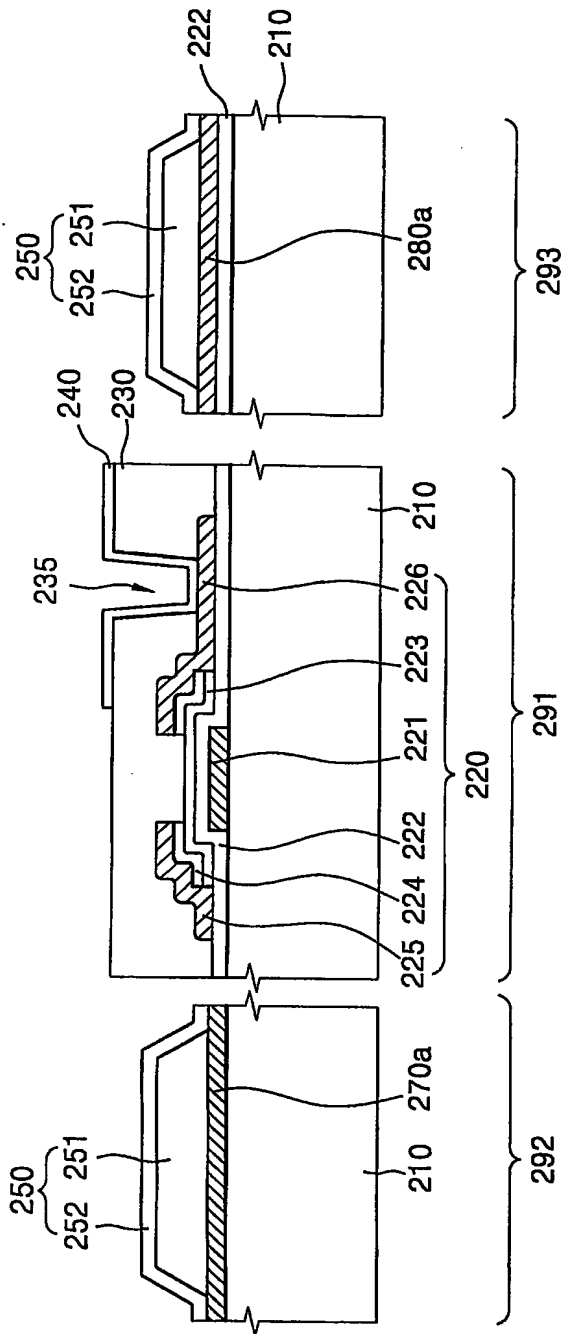


【도 4】

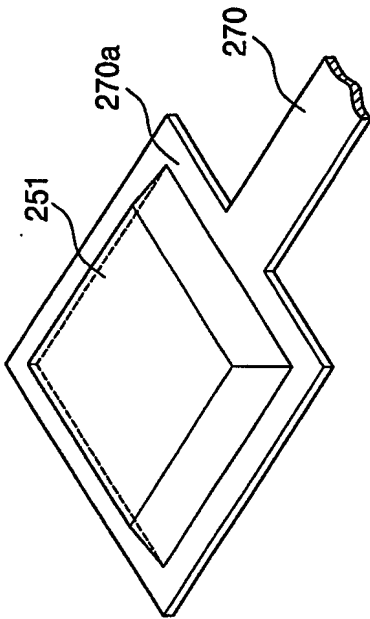
200



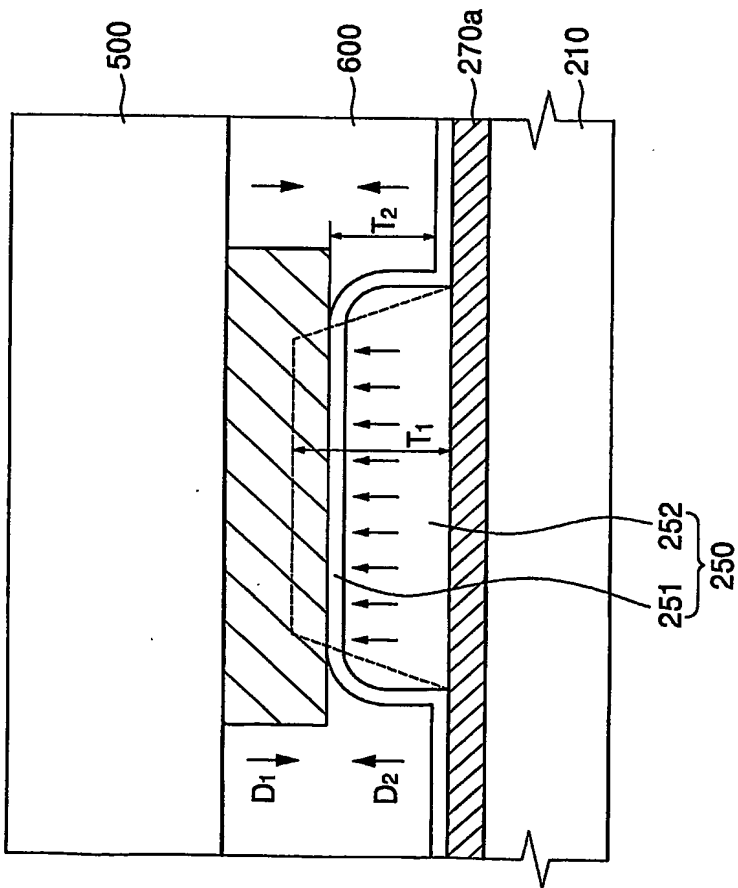
【도 5】



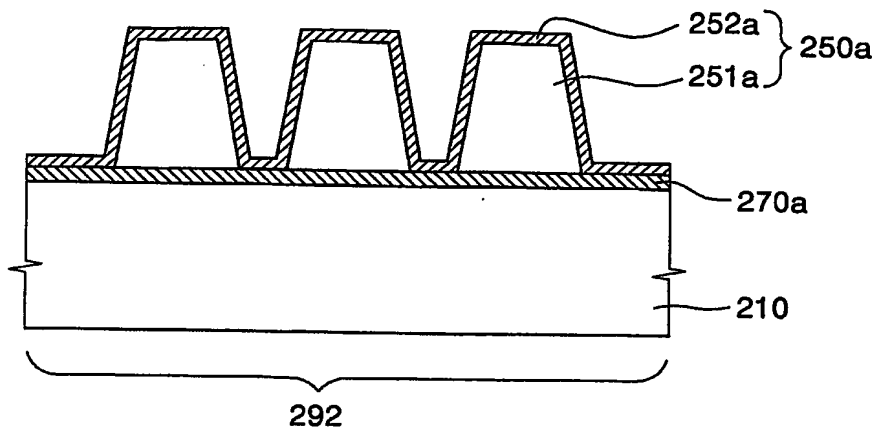
【도 6】



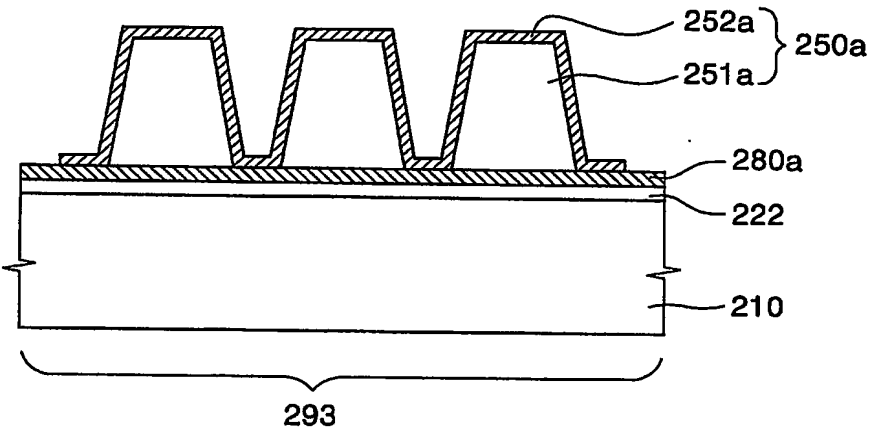
【도 7】



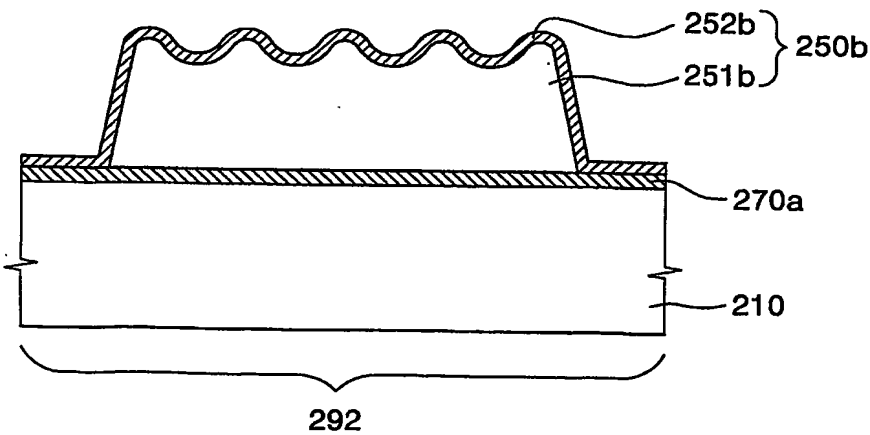
【도 8a】



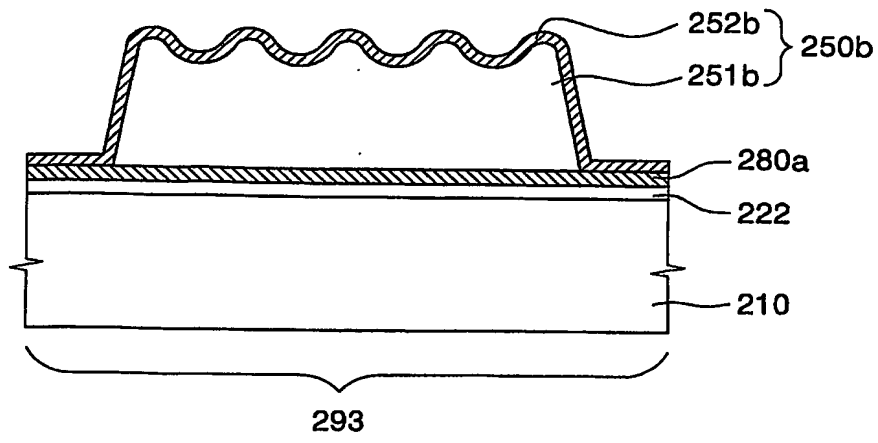
【도 8b】



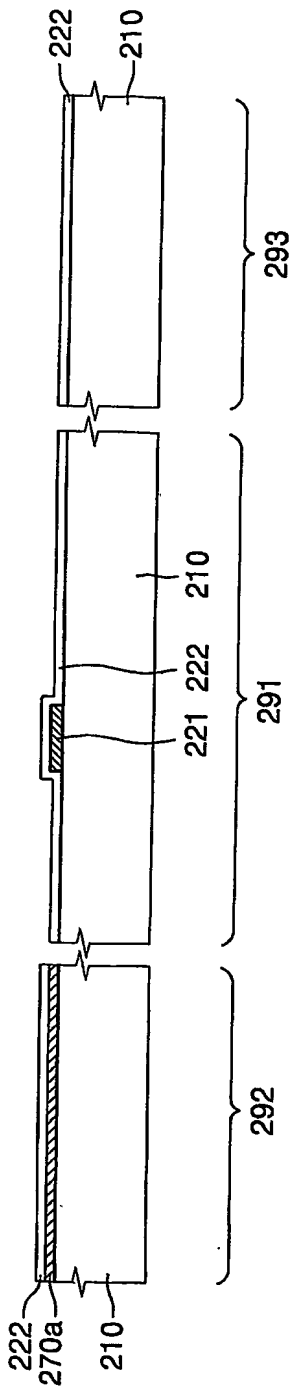
【도 9a】



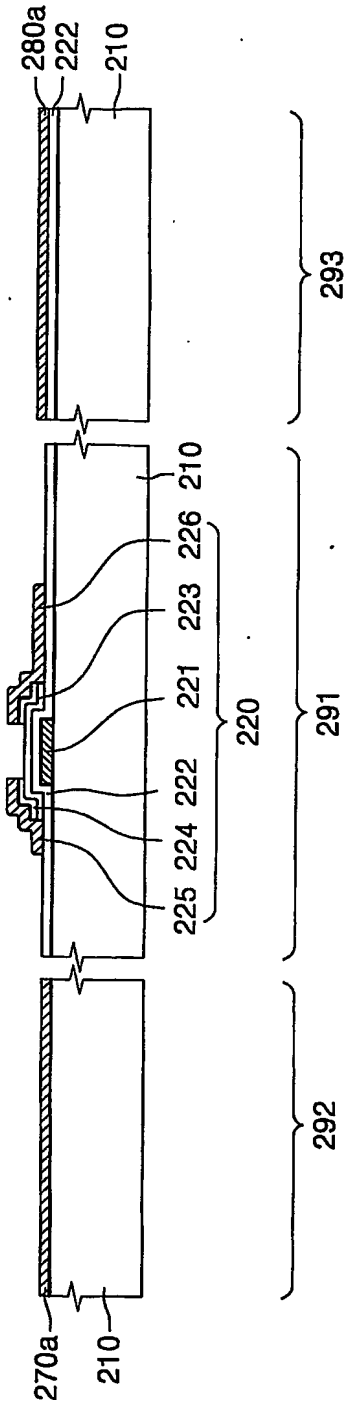
【도 9b】



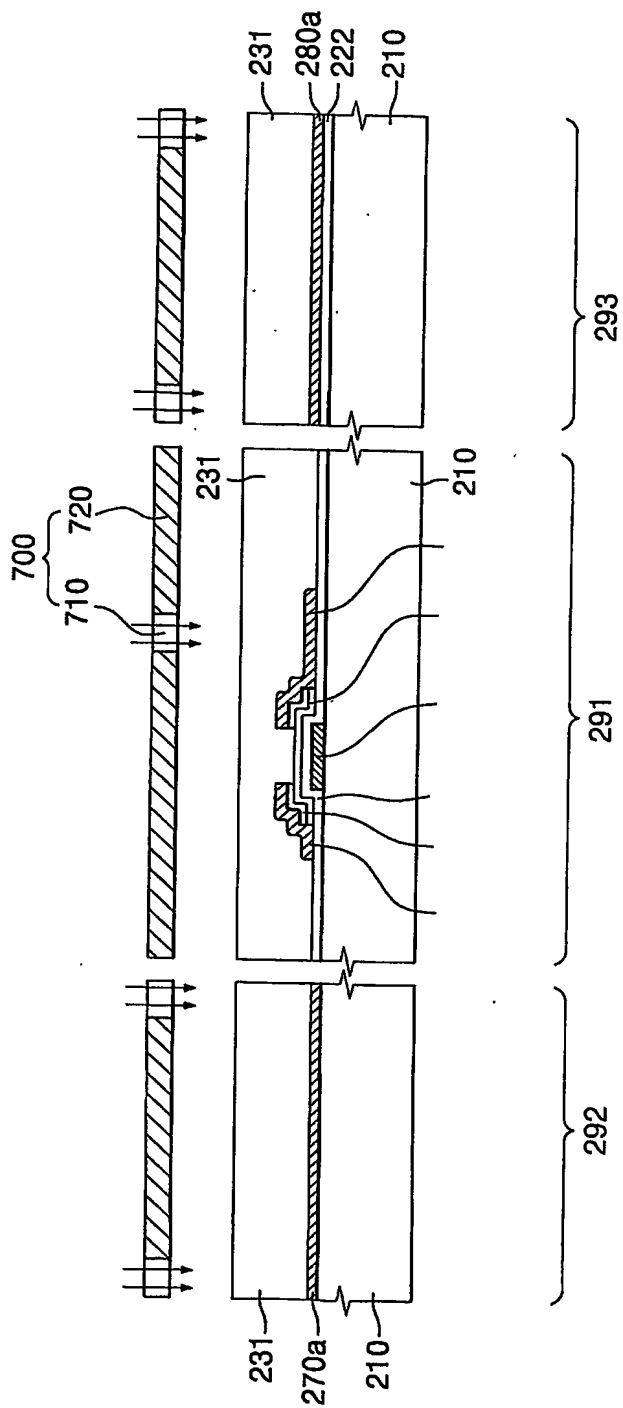
【도 10a】



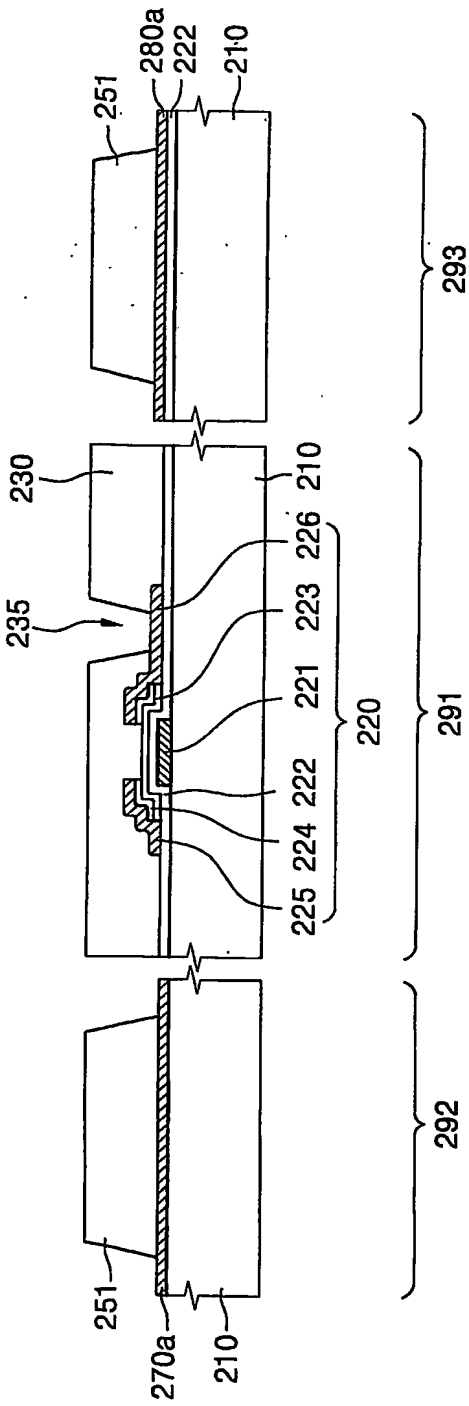
【도 10b】



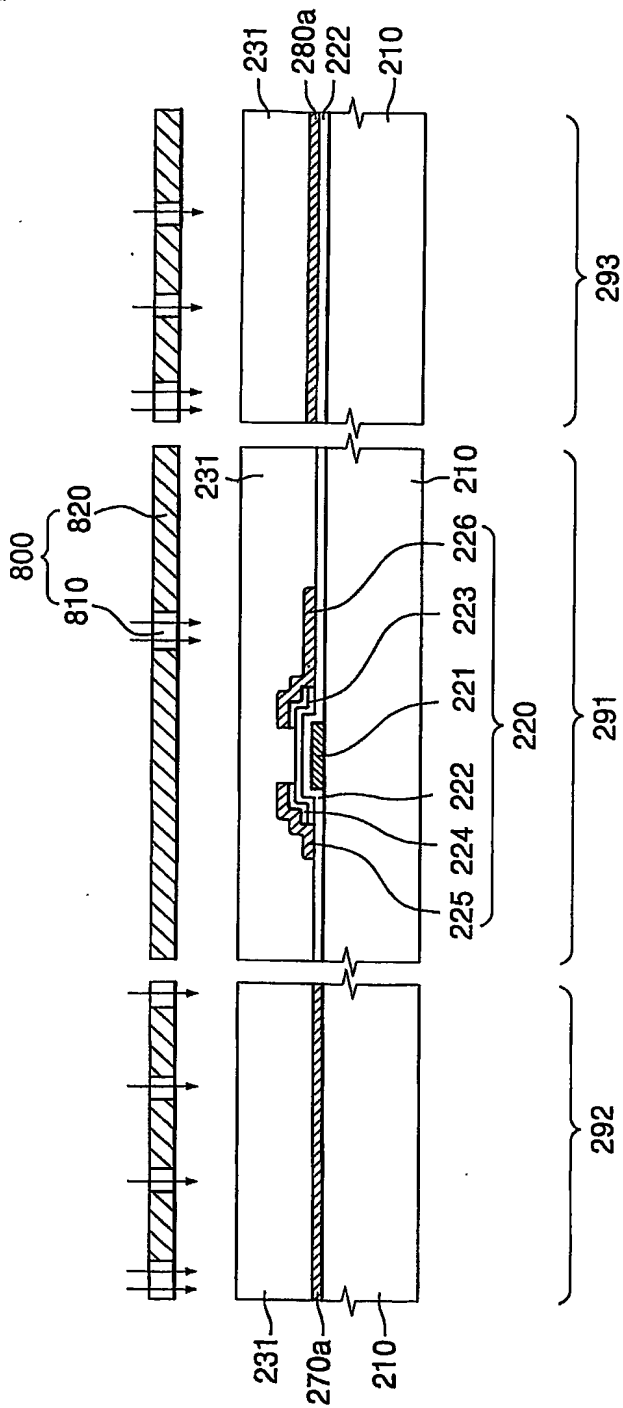
【도 10c】

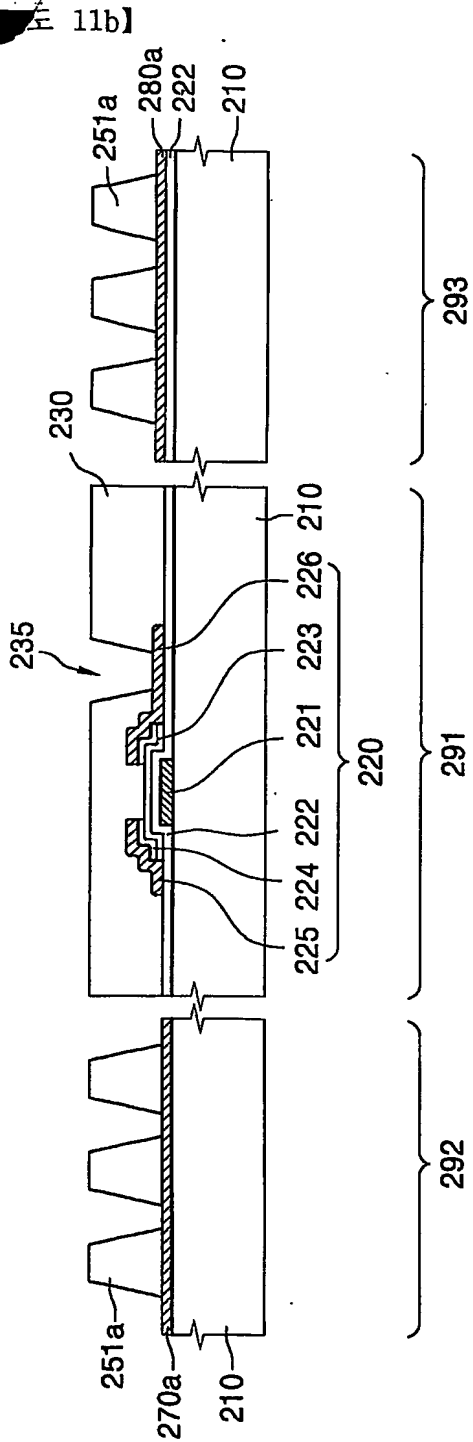


【도 10d】

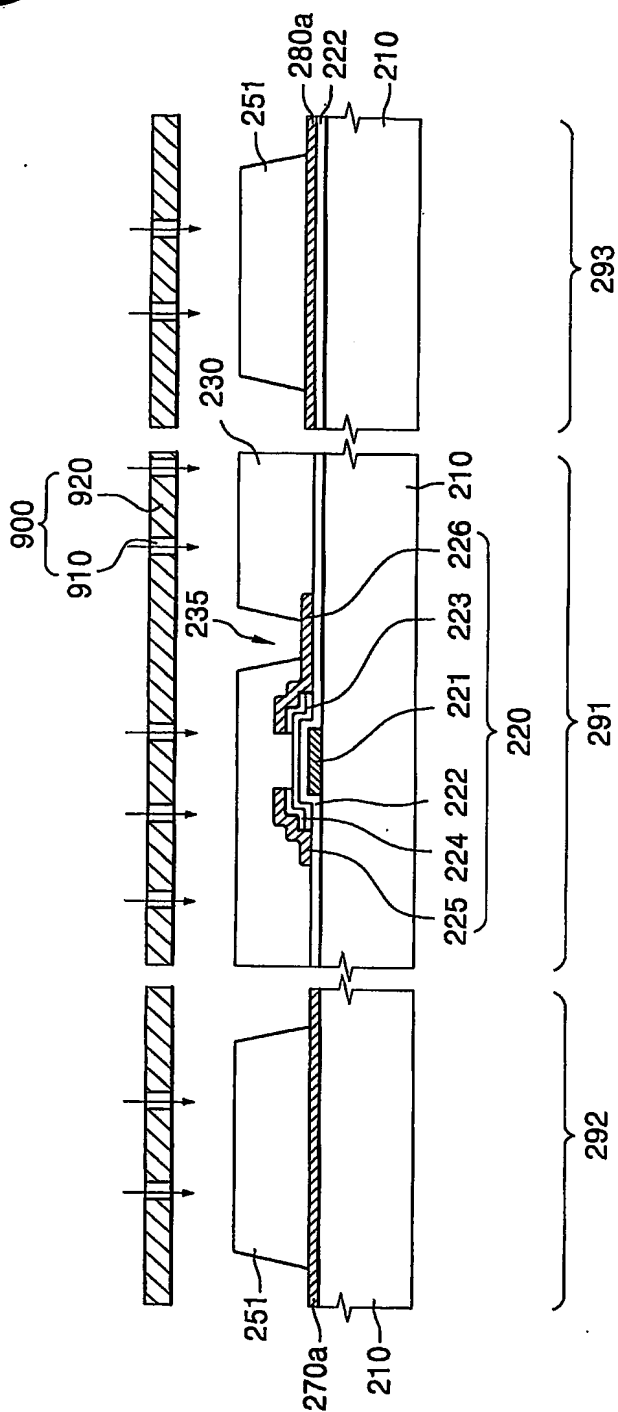


11a】

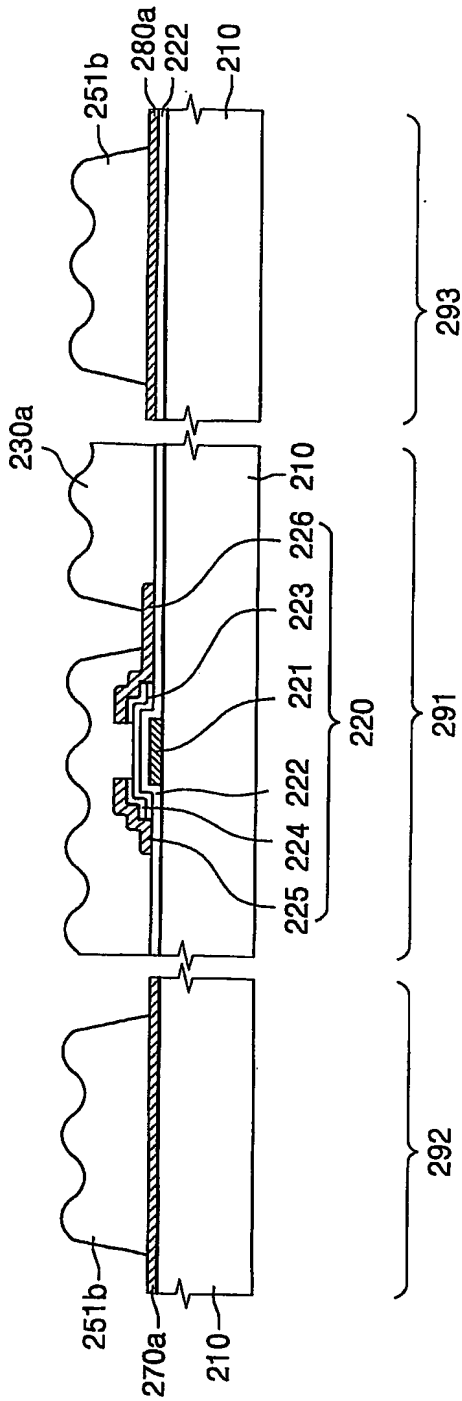




12a】



12b】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.